

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135013

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

H01C 17/06

H01C 7/00

H01C 17/12

(21)Application number : 08-290442

(71)Applicant : TAIYO YUDEN CO LTD  
CHUKI SEIKI KK

(22)Date of filing : 31.10.1996

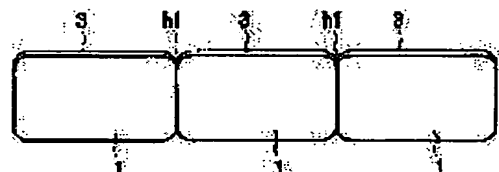
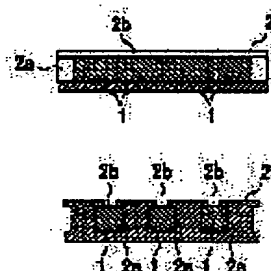
(72)Inventor : KURATA SADA AKI  
KAKIUCHI IKUO

## (54) MANUFACTURE OF CHIP PART

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To manufacture appropriately with less processes, without employing a process where a magnetic substrate is divided by aligning plural magnetic elements in a specified orientation with a conductor film formation surface being front side, and depositing an armoring insulation film by a thin-film method with its both sides in longitudinal direction masked.

**SOLUTION:** Firstly, a magnetic element 1 whose edge is rounded is manufactured. Then, sputtering or vapor-depositing is performed with the magnetic element 1 housed in a path 2a of a mask device 2, to form, a resistance film 3. Then, a trimming work is applied to the resistance film 3. With this magnetic element 1 housed in the path of another mask device, sputtering or vapor-depositing is performed to form an armoring insulating film. Then, an electrode conductor film is formed on the magnetic element 1, after the insulation film has been formed. Thereby, without employing a process where a ceramic substrate is divided, a chip resistor is manufactured appropriately and stably with fewer number of processes.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135013

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 C 17/06  
7/00  
17/12

H 0 1 C 17/06  
7/00  
17/12

B  
B

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号

特願平8-290442

(22) 出願日

平成8年(1996)10月31日

(71) 出願人 000204284

太陽誘電株式会社  
東京都台東区上野6丁目16番20号

(71) 出願人 594047913

中紀精機株式会社  
和歌山県日高郡印南町島田1197番地

(72) 発明者 倉田 定明

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(72) 発明者 垣内 育雄

和歌山県日高郡印南町島田1197番地 中紀精機株式会社内

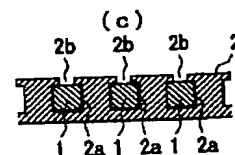
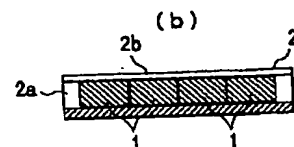
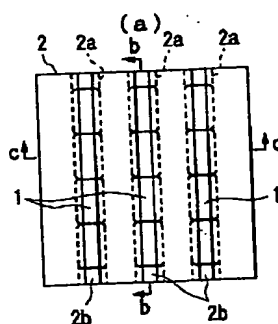
(74) 代理人 弁理士 吉田 精孝

(54) 【発明の名称】 チップ部品の製造方法

(57) 【要約】

【課題】 高品質のチップ部品を簡単に得ることができるチップ部品の製造方法を提供する。

【解決手段】 エッジに丸みを帯びた磁器素子1を得る工程と、磁器素子1をマスク器具2の通路2a内に収容した状態でスパッタリングまたは蒸着を実施して抵抗膜を形成する工程と、抵抗膜に対しトリミング加工を施す工程と、抵抗膜形成後の磁器素子をマスク器具の通路内に収容した状態でスパッタリングまたは蒸着を実施して外装用絶縁膜を形成する工程と、絶縁膜形成後の磁器素子に電極用導体膜を形成する工程を経てチップ抵抗器を得ているので、磁器基板を分割するといった煩雑な工程を採用することなく、所期のチップ抵抗器を少ない工程数にて的確且つ安定して製造することができる。



**【特許請求の範囲】**

【請求項 1】 角柱形状を成す磁器素子の一側面に回路用導体膜を、磁器素子の両端部にこれと導通する一対の電極用導体膜をそれぞれ備え、回路用導体膜の電極用導体膜で挟まれる部分を外装用絶縁膜で被覆したチップ部品の製造方法において、

エッジに丸みを帯びた角柱形状の磁器素子を得る工程と、

複数の磁器素子を所定向きで且つ同一側面が表となるように並べ、その幅方向両側をマスキングした状態で、各磁器素子の一側面に薄膜法により回路用導体膜を形成する工程と、

回路用導体膜形成後の複数の磁器素子を所定向きで且つ導体膜形成面が表となるように並べ、その長手方向両側をマスキングした状態で、各磁器素子の導体膜形成面に薄膜法により外装用絶縁膜を形成する工程と、

外装用絶縁膜形成後の磁器素子の両端部に厚膜法または薄膜法により電極用導体膜を形成する工程とを具備した、

ことを特徴とするチップ部品の製造方法。

【請求項 2】 回路用導体膜を形成する工程及び外装用絶縁膜を形成する工程に、磁器素子を所定向きで並べて収容可能な通路と、該通路内に収容された磁器素子の着膜部分を露出可能な開口とを有するマスク器具を用い、両工程におけるマスキングを該マスク器具によって行う、

ことを特徴とする請求項 1 記載のチップ部品の製造方法。

【請求項 3】 回路用導体膜を形成する工程及び外装用絶縁膜を形成する工程におけるマスキングを磁器素子に付着したレジストによって行う、

ことを特徴とする請求項 1 記載のチップ部品の製造方法。

【請求項 4】 回路用導体膜を形成する工程及び外装用絶縁膜を形成する工程における着膜をスパッタリング法または蒸着法によって行う、

ことを特徴とする請求項 1 乃至 3 何れか 1 項記載のチップ部品の製造方法。

【請求項 5】 磁器素子として、外装用絶縁膜形成部分に相当する中央部の外形が、電極用導体膜形成部分に相当する両端部の外形よりも小さな形状のものをを用いた、ことを特徴とする請求項 1 乃至 4 何れか 1 項記載のチップ部品の製造方法。

**【発明の詳細な説明】**

【0001】

【発明の属する技術分野】 本発明は、基板等への面実装を可能としたチップ部品の製造方法に関するものである。

【0002】

【従来の技術】 図 13 にはこの種従来のチップ部品とし

て知られる角型のチップ抵抗器を示してある。

【0003】 このチップ抵抗器は、横断面長方形の角柱形状を成す磁器素子 101 と、磁器素子 101 の一側面（上面）に形成された抵抗膜 102 と、抵抗膜 102 を覆う外装用絶縁膜 103 と、抵抗膜 102 の端部と導通する一対の電極用導体膜 104 とから構成されている。

【0004】 上記のチップ抵抗器は、分割溝を格子状または所定間隔で有する磁器基板を用意する工程と、磁器基板一面の分割溝で囲まれる矩形領域に抵抗膜をそれぞれ形成する工程と、抵抗値調整のためのトリミングを各抵抗膜に対し行う工程と、磁器基板を分割溝に沿って素子個片に分割する工程と、分割された磁器素子の両端部に抵抗膜と導通する一対の電極用導体膜を形成する工程と、各抵抗膜を外装用絶縁膜で被覆する工程とを経て製造されている。

【0005】 部品によっては、電極用導体膜を形成する工程を抵抗膜を形成する工程とトリミングを行う工程との間で実施し、トリミングを行う工程の後に外装用絶縁膜を形成する工程を実施して最終的に磁器基板を分割するようにしたものもある。

【0006】

【発明が解決しようとする課題】 上記従来のチップ抵抗器では、磁器基板を素子個片に分割する面倒があると共に、分割時に素子個片に欠けや割れが生じ易いことから歩留まりが低下し易い。また、分割時に発生したバリが部品に残留して部品外観を悪化させると共に、該バリが支障となって基板等へ実装を行う際の部品供給に不良を生じ易い不具合がある。上記の不具合は、同様の製造方法、特に磁器基板を分割する工程を有する他のチップ部品、例えばチップジャンパ等でも同じように生じ得る。

【0007】 本発明は上記事情に鑑みてなされたもので、その目的とするところは、高品質のチップ部品を簡単に得ることができるチップ部品の製造方法を提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するため、本発明に係るチップ部品の製造方法は、角柱形状を成す磁器素子の一側面に回路用導体膜を、磁器素子の両端部にこれと導通する一対の電極用導体膜をそれぞれ備え、回路用導体膜の電極用導体膜で挟まれる部分を外装用絶縁膜で被覆したチップ部品の製造方法において、エッジに丸みを帯びた角柱形状の磁器素子を得る工程と、複数の磁器素子を所定向きで且つ同一側面が表となるように並べ、その幅方向両側をマスキングした状態で、各磁器素子の一側面に薄膜法により回路用導体膜を形成する工程と、回路用導体膜形成後の複数の磁器素子を所定向きで且つ導体膜形成面が表となるように並べ、その長手方向両側をマスキングした状態で、各磁器素子の導体膜形成面に薄膜法により外装用絶縁膜を形成する工程と、外装用絶縁膜形成後の磁器素子の両端部に厚膜法ま

たは薄膜法により電極用導体膜を形成する工程とを具備した、ことをその主たる特徴としている。

【0009】このチップ部品の製造方法によれば、上記各工程を実施することにより、磁器基板を分割するといった煩雑な工程を採用することなく、所期のチップ抵抗器を少ない工程数にて的確に製造できる。

【0010】

【発明の実施の形態】図1乃至図9には本発明をチップ抵抗器に適用した実施形態を示してある。以下、図1乃至図9に従って本実施形態に係るチップ抵抗器の製造方法について説明する。

【0011】製造に際しては、まず、図1に示すような磁器素子1、詳しくは、横断面正方形で所定の長さを有し、且つエッジ（角及び稜線）に丸みを帯びた角柱形状の磁器素子1を用意する。

【0012】この磁器素子1は、アルミナ粉（70w%以上）にバインダ及び溶剤を混合して調製したセラミックスラリーを押出成形して横断面正方形の棒状基材を得るステップと、棒状基材を所定寸法に切断するステップと、切断チップを焼成温度1300～1500℃、焼成時間2時間の条件で焼成するステップと、焼成後の切断チップを遠心バレルや偏心回転バレル等のバレル研磨機によって研磨するステップを経て作成される。焼成後の切断チップは、上記のバレル研磨によってエッジ（角及び稜線）のバリ除去と丸み付けを施される。

【0013】次に、図2に示すようなマスク器具2、詳しくは、磁器素子1の横断面形よりも僅かに大きな横断面正方形の通路2aを等間隔で平行に備え、各通路2aの上面中央に磁器素子1の側面幅よりも小さな幅寸法の開口2bを直線状に備えたマスク器具2を準備する。ちなみに、開口2bの幅寸法は後述する抵抗膜3の幅寸法を規定し、その位置は抵抗膜3の形成位置を規定する。

【0014】そして、マスク器具2の通路2a内に磁器素子1を縦向きで挿入し、各通路2a内に複数の磁器素子1を縦向きで隙間なく並べた状態で、各磁器素子1の一側面の開口2bから露出する部分に、スパッタリング法または蒸着法によってNiCr系の抵抗膜3を形成する。

【0015】磁器素子1のエッジ（ここでは端面と側面との境界）に予め丸みが形成されていることから、縦方向に隙間なく並ぶ磁器素子1の当接面上部には図3に示すような凹みh1がエッジの丸みに基づいて形成されることになり、スパッタリング法または蒸着法による着膜は、各磁器素子1の一側面のみならずこの凹みh1に対しても実施される。

【0016】つまり、着膜後に磁器素子1をマスク器具2の通路2aから抜き出せば、各磁器素子1の一側面には図4に示すような形状、詳しくは、磁器素子1の長手方向に延び且つ両端が磁器素子1の端面に及ぶような帯状の抵抗膜3が形成されることになる。

【0017】次に、図5に示すように、抵抗膜2にレーザ光LBを照射し、照射レーザ光により抵抗膜3に溝3aを形成してトリミング加工を実施し、抵抗値の微調整を行う。

【0018】次に、図6に示すようなマスク器具4、詳しくは、磁器素子1の縦断面形よりも僅かに大きな縦断面長方形の通路4aを等間隔で平行に備え、各通路4aの上面中央に磁器素子1の側面長さよりも小さな幅寸法の開口4bを直線状に備えたマスク器具4を準備する。ちなみに、開口4bの幅寸法は後述する外装用絶縁膜5の幅寸法を規定し、その位置は外装用絶縁膜5の形成位置を規定する。

【0019】そして、マスク器具4の通路4a内に抵抗膜形成後の磁器素子1を横向きで且つ抵抗膜形成面が表となるように挿入し、各通路4a内に複数の磁器素子1を横向きで隙間なく並べた状態で、各磁器素子1の抵抗膜形成面の開口4bから露出する部分に、スパッタリング法または蒸着法によってSiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>等のセラミクス系の外装用絶縁膜5を形成する。

【0020】磁器素子1のエッジ（ここでは側面と側面の境界）に予め丸みが形成されていることから、横方向に隙間なく並ぶ磁器素子1の当接面上部には図7に示すような凹みh2がエッジの丸みに基づいて形成されることになり、スパッタリング法または蒸着法による着膜は、各磁器素子1の一側面のみならずこの凹みh2に対しても実施される。

【0021】つまり、着膜後に磁器素子1をマスク器具4の通路4aから抜き出せば、各磁器素子1の抵抗膜形成面には図8に示すような形状、詳しくは、磁器素子1の幅方向に延び且つ両端が隣接する磁器素子1の側面に及ぶような帯状の外装用絶縁膜5が形成されることになる。

【0022】次に、図9に示すように、絶縁膜形成後の磁器素子1の長手方向両端部に、厚膜法または薄膜法によって電極用導体膜6を形成する。厚膜法による場合には、Ni、Sn-Pb等の金属粉にバインダ及び溶剤を混合して調製した導体ペーストを塗布或いはディップ等の手法によって磁器素子1の長手方向両端部に付着し、これを焼き付ければよく、また、薄膜法による場合には、バレルメッキ等の手法によりNi、Sn-Pb等の導体膜を磁器素子1の長手方向両端部に着膜すればよい。以上でチップ抵抗器の製造を完了する。

【0023】このように、本実施形態に係るチップ抵抗器の製造方法によれば、エッジに丸みを帯びた磁器素子1を得る工程と、磁器素子1をマスク器具2の通路2a内に収容した状態でスパッタリングまたは蒸着を実施して抵抗膜3を形成する工程と、抵抗膜3に対しトリミング加工を施す工程と、抵抗膜形成後の磁器素子1をマスク器具4の通路4a内に収容した状態でスパッタリングまたは蒸着を実施して外装用絶縁膜5を形成する工程

と、絶縁膜形成後の磁器素子1に電極用導体膜6を形成する工程を実施することにより、磁器基板を分割するといった煩雑な工程を採用することなく、所期のチップ抵抗器を少ない工程数にて的確且つ安定して製造することができる。

【0024】また、従来のような基板分割工程が不要となるため、分割時に発生していた欠けや割れの問題を回避して製造歩留まりを向上できると共に、分割時に発生するバリを原因とした外観不良や部品供給不良の問題を排除して、バルク供給に適した高品質のチップ抵抗器を得ることができる。

【0025】更に、複数の磁器素子1を縦向きで且つ同一側面が表となるように並べ、その幅方向両側をマスク器具2によってマスキングした状態で、スパッタリング法または蒸着法により抵抗膜1を着膜すると共に、抵抗膜形成後の複数の磁器素子1を横向きで且つ抵抗膜形成面が表となるように並べ、その長手方向両側をマスク器具2によってマスキングした状態で、スパッタリング法または蒸着法により外装用絶縁膜5を着膜することにより、磁器素子1の一側面に、磁器素子1の長手方向に延び且つ両端が磁器素子1の端面に及ぶような帯状の抵抗膜3と、磁器素子1の幅方向に延び且つ両端が隣接する磁器素子1の側面に及ぶような帯状の外装用絶縁膜5とを、高精度に、しかも複数の磁器素子1に対して一括で効率良く形成することができる。

【0026】尚、上述の実施形態では、抵抗膜3及び絶縁膜5を着膜する際に、磁器素子1の不要部分を一括で覆うマスク器具2、4を用いたものを例示したが、下記のような方法を取れば、マスク器具2、4を用いなくとも同様の着膜を行うことができる。

【0027】つまり、抵抗膜形成時には、図10(a)に示すように抵抗膜形成領域を残して磁器素子1の幅方向両端部にレジストr1を付着させ、同図(b)に示すようにこれを一側面(抵抗膜を形成する側面)が表となるように隙間なくマトリクス状に並べた状態で、スパッタリング法または蒸着法によって抵抗膜を着膜し、着膜後に各磁器素子1のレジストr1を溶剤等を用いて一括で除去する。また、絶縁膜形成時には、図11(a)に示すように絶縁膜形成領域を残して磁器素子1の長手方向両端部のレジストr2を付着させ、同図(b)に示すようにこれを一側面(絶縁膜を形成する面)が表となるように隙間なくマトリクス状に並べた状態で、スパッタリング法または蒸着法によって絶縁膜を着膜し、着膜後に各磁器素子1のレジストr2を溶剤等を用いて一括で除去する。

【0028】また、上述の実施形態では、磁器素子として横断面正方形のものを例示したが、横断面形が長方形或いは他の多角形のものを磁器素子として用いても良い。勿論、図12に示すように、中央部11aの外形が両端部11bの外形よりも小さなものを磁器素子1と

して用い、中央部表面に絶縁膜を形成し両端部表面に電極用導体膜を形成するようにしても良い。

【0029】さらに、上述の実施形態では、本発明をチップ抵抗器に適用したものを示したが、本発明はチップ抵抗器に限らず、角柱形状を成す磁器素子の一側面に回路用導体膜を、磁器素子の両端部にこれと導通する一対の電極用導体膜をそれぞれ備え、回路用導体膜の電極用導体膜で挟まれる部分を外装用絶縁膜で被覆したチップ部品であれば、チップ抵抗器以外のチップ部品、例えば、チップジャンパやチップコンデンサやチップインダクタ等にも広く適用でき、同様の効果を得ることができる。

#### 【0030】

【発明の効果】以上詳述したように、本発明によれば、磁器基板を分割するといった煩雑な工程を採用することなく、所期のチップ部品を少ない工程数にて的確且つ安定して製造することができる。また、従来のような基板分割工程が不要となるため、分割時に発生していた欠けや割れの問題を回避して製造歩留まりを向上できると共に、分割時に発生するバリを原因とした外観不良や部品供給不良の問題を排除して、バルク供給に適した高品質のチップ部品を得ることができる。

【0031】更に、複数の磁器素子を所定向きで且つ同一側面が表となるように並べ、その幅方向両側をマスキングした状態で、薄膜法により回路用導体膜を着膜すると共に、回路用導体膜形成後の複数の磁器素子を所定向きで且つ導体膜形成面が表となるように並べ、その長手方向両側をマスキングした状態で、薄膜法により外装用絶縁膜を着膜することにより、磁器素子の一側面に、磁器素子の長手方向に延び且つ両端が磁器素子の端面に及ぶような帯状の回路用導体膜と、磁器素子の幅方向に延び且つ両端が隣接する磁器素子の側面に及ぶような帯状の外装用絶縁膜とを、高精度に、しかも複数の磁器素子に対して一括で効率良く形成することができる。

#### 【図面の簡単な説明】

【図1】磁器素子の斜視図

【図2】マスク器具と磁器素子の収容状態を示す図

【図3】磁器素子への抵抗膜着膜状態を示す図

【図4】抵抗膜形成後の磁器素子の斜視図

【図5】トリミング方法を示す図

【図6】マスク器具と磁器素子の収容状態を示す図

【図7】磁器素子への絶縁膜着膜状態を示す図

【図8】絶縁膜形成後の磁器素子の斜視図

【図9】電極用導体膜形成後の磁器素子の斜視図

【図10】抵抗膜着膜用のレジストを付着した磁器素子の斜視図と、抵抗膜着膜時の素子配列状態を示す図

【図11】絶縁膜着膜用のレジストを付着した磁器素子の斜視図と、絶縁膜着膜時の素子配列状態を示す図

【図12】磁器素子の他の形状例を示す図

【図13】従来例を示すチップ部品の斜視図及びその縦

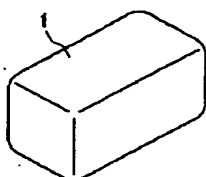
## 断面図

## 【符号の説明】

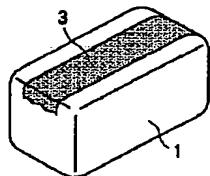
1…磁器素子、2…マスク器具、2a…通路、2b…開口、h1…凹み、3…抵抗膜、LB…レーザ光線、4…

マスク器具、4a…通路、4b…開口、h2…凹み、5…外装用絶縁膜、6…電極用導体膜、r1、r2…レジスト、11…磁器素子、11a…中央部、11b…両端部。

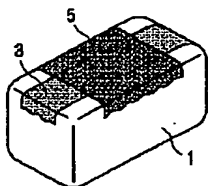
【図1】



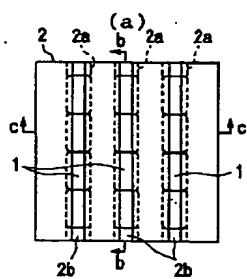
【図4】



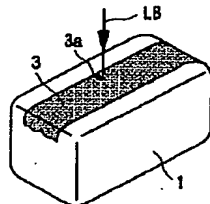
【図8】



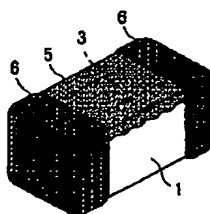
【図2】



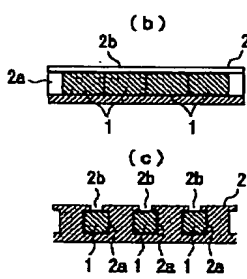
【図5】



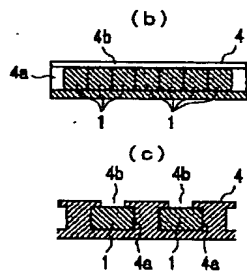
【図9】



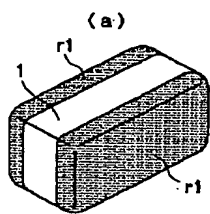
【図2】



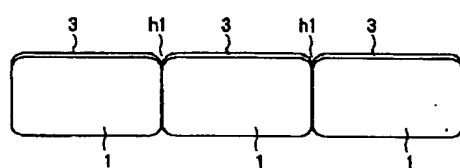
【図6】



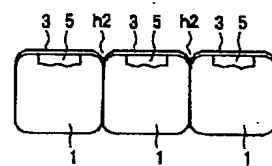
【図10】



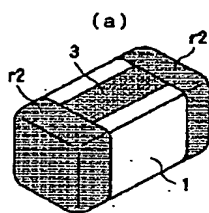
【図3】



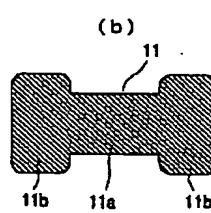
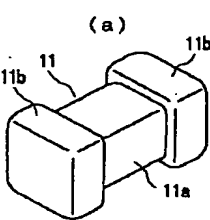
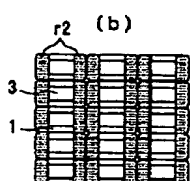
【図7】



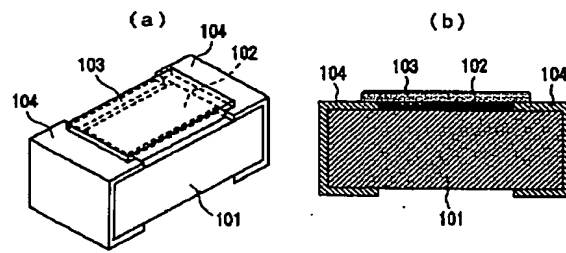
【図11】



【図12】



【図 1 3】



This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox**